

# CYCOLNE IV FPGA 개발모듈 GUIDE BOOK

QUARTUS II WEB EDITOR 프로젝트 만들기

LK EMBEDDED

이경남

WWW.LKEMBEDDED.CO.KR

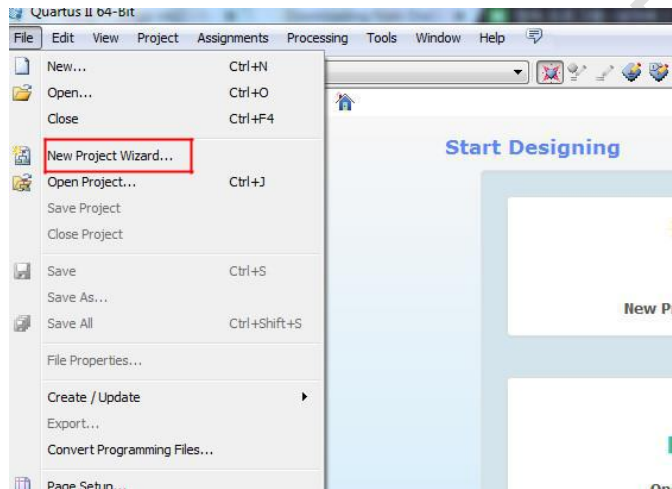
# 제1 장 Quartus II Web Edition 응용

Quartus II Web Edition 프로그램은 Altera사에서 FPGA 사용자를 위해 무료로 제공되는 FPGA 개발툴이다. 사용자는 이 개발툴을 이용해 Verilog HDL 및 VHDL 논리 합성 및 시뮬레이션(ModelSim-Altera)이 가능하고 FPGA 구동파일(Bitstream) 혹은 PROM 파일을 생성할 수 있다. 또한 ISP방식을 이용한 알테라 USB FPGA프로그래머를 이용해 FPGA 및 PROM에 직접 사용자 프로그램을 다운로드할 수 있다.

## (1) Quartus II Web Edition 15.0 프로젝트 만들기

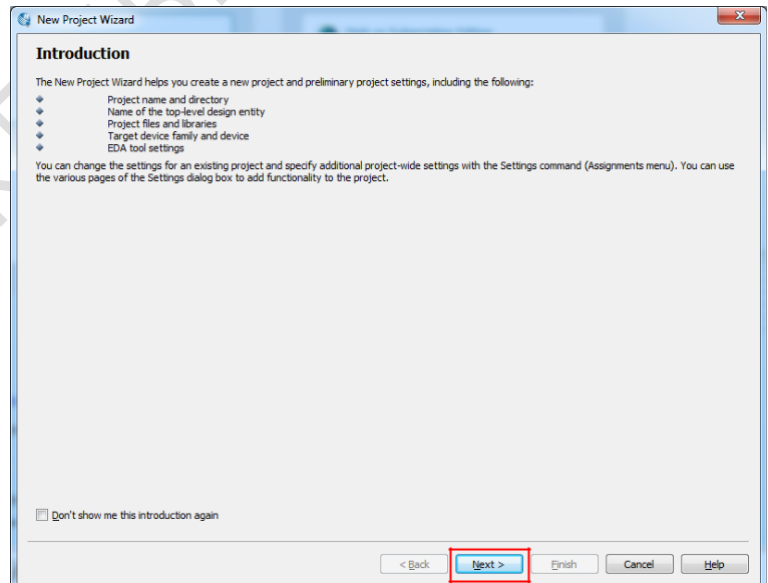
설치가 완료된 Quartus II Web Edition 프로그램을 실행하여 아래에 설명순서대로 차근차근 프로젝트 생성을 한다.

File 메뉴에서 New Project 실행한다.



New Project Wizard Introduction

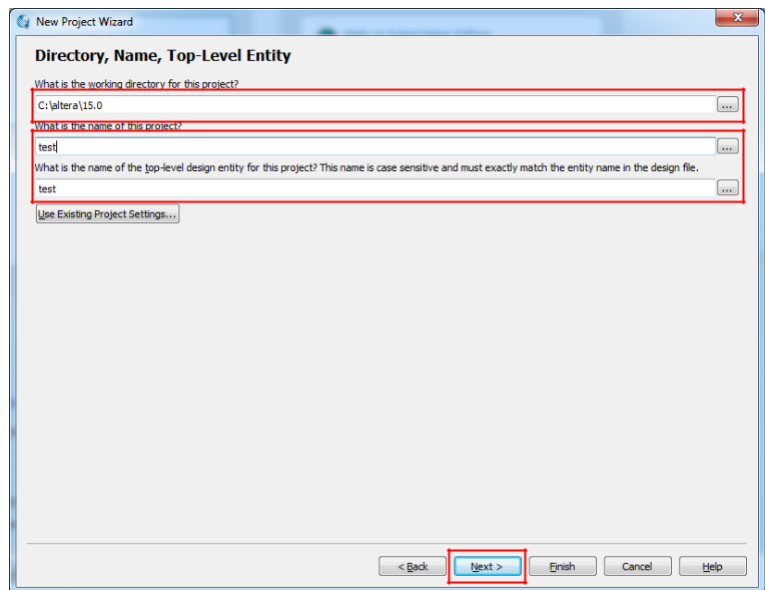
Project Wizard 소개에 대한 안내창이 나온다. Next를 눌러 다음 순서로 진행한다.



🌈 프로젝트 위치 및 이름을 기입

🌈 프로젝트 파일을 저장할  
디렉토리를 선택하고,  
프로젝트명을 기입해 준다.  
Design file명은 자동으로  
기입된다.

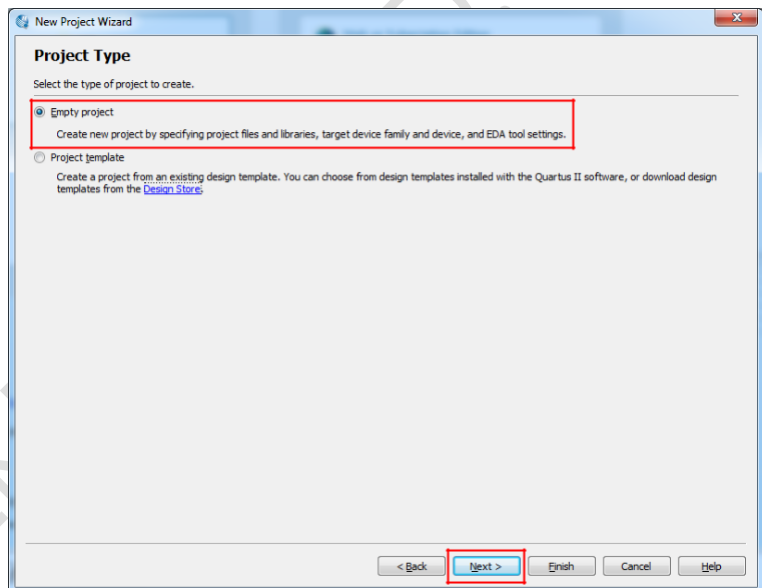
🌈 모두 기입하였다면, Next  
눌러 다음으로 넘어가자.



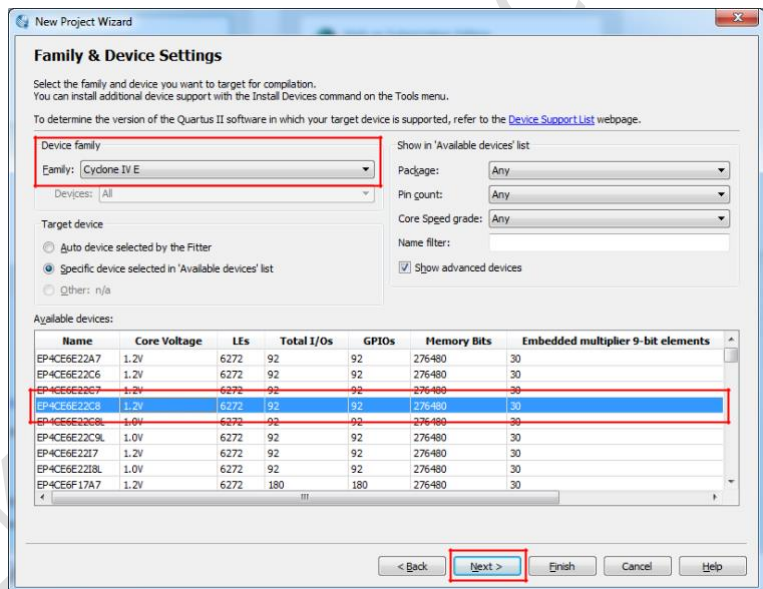
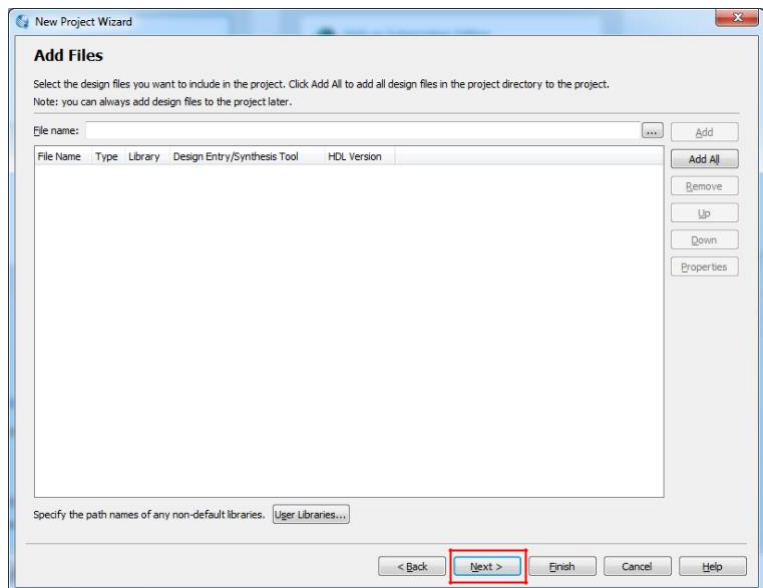
🌈 Project Type 선택 창

🌈 Empty project 를 선택한  
후 진행한다.

🌈 해당 프로젝트에 추가할  
파일이 있다면 아래의 창에서  
설정하도록 한다.

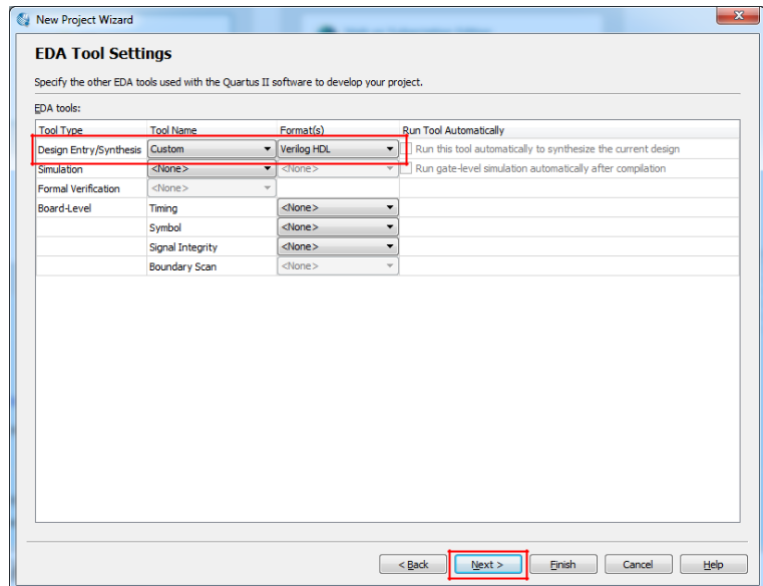


선택하는 설정창이다. 본  
교재에서는 CycloneIV, E  
EP4CE622C8 Device 를  
선택한다.



## EDA Tool Settings 설정창

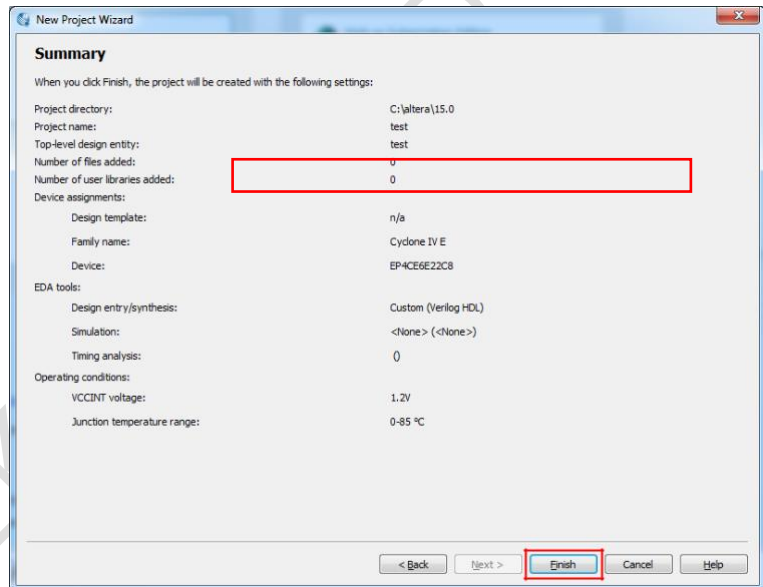
EDA Tool Settings에서는 언어 및 시뮬레이션 사용 여부 등의 설정을 할 수 있다. 사용하려고 하는 언어를 사용하도록 한다. (해당 매뉴얼은 예제를 Verilog HDL 파일로 제공)



## Summary 설정창

Summary 창에서는 생성하려는 프로젝트의 특성을 요약한다.

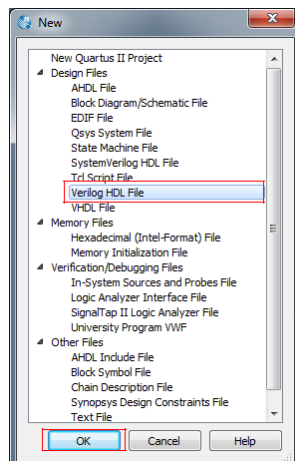
Finish 를 누르면 프로젝트가 생성된다.



프로젝트 파일을 생성하였으니 이번에는 코드를 입력할 Verilog HDL 파일을 생성해보기로 한다.

[File] -> New 를 선택하면, 다음과 같은 창이 팝업된다.

생성하고자 하는 파일타입을 선택 후 OK 버튼을 클릭한다.



아래 그림은 제품구매시  
제공되는 Verilog HDL  
예제를 복사 & 붙여넣기 한  
모습이다.

